

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Citation 1

1. Japanese Patent Application No.: 262013/1985
Application Date: November 20, 1985
2. Japanese Patent Disclosure No.: 120553/1987
Disclosure Date: June 1, 1987
3. Inventor: Masakazu MITSUSE; Tokyo, Japan
4. Applicant: NIPPON DENKI Kabushiki Kaisha; Tokyo, Japan
5. Title: An Instruction Cache Memory Method

Fig. 1 is a block diagram showing the instruction cache memory method according to the embodiment of the present invention.

Fig. 2 is a block diagram showing the circuit construction of the dual port RAM. Fig. 3 shows the 512 KB main memory module embodied by the dual port RAM. Fig. 4 is a block diagram showing a conventional instruction cache memory method.

The instruction cache memory method is constructed by using a plurality of dual port memories (RAM) having a parallel input/output data port and a serial input data port as a main memory element. The serial output port of the main memory is connected to an input end of a high speed cache memory. A dedicated signal line is provided between the main processor and the the main memory. The dedicated signal line comprises an instruction block address line which consists of a series of instructions for the transmission control of the instruction block, a block transmission indicating line and a shift clock line for the data transmission.

CITATION 1 Fig. 1

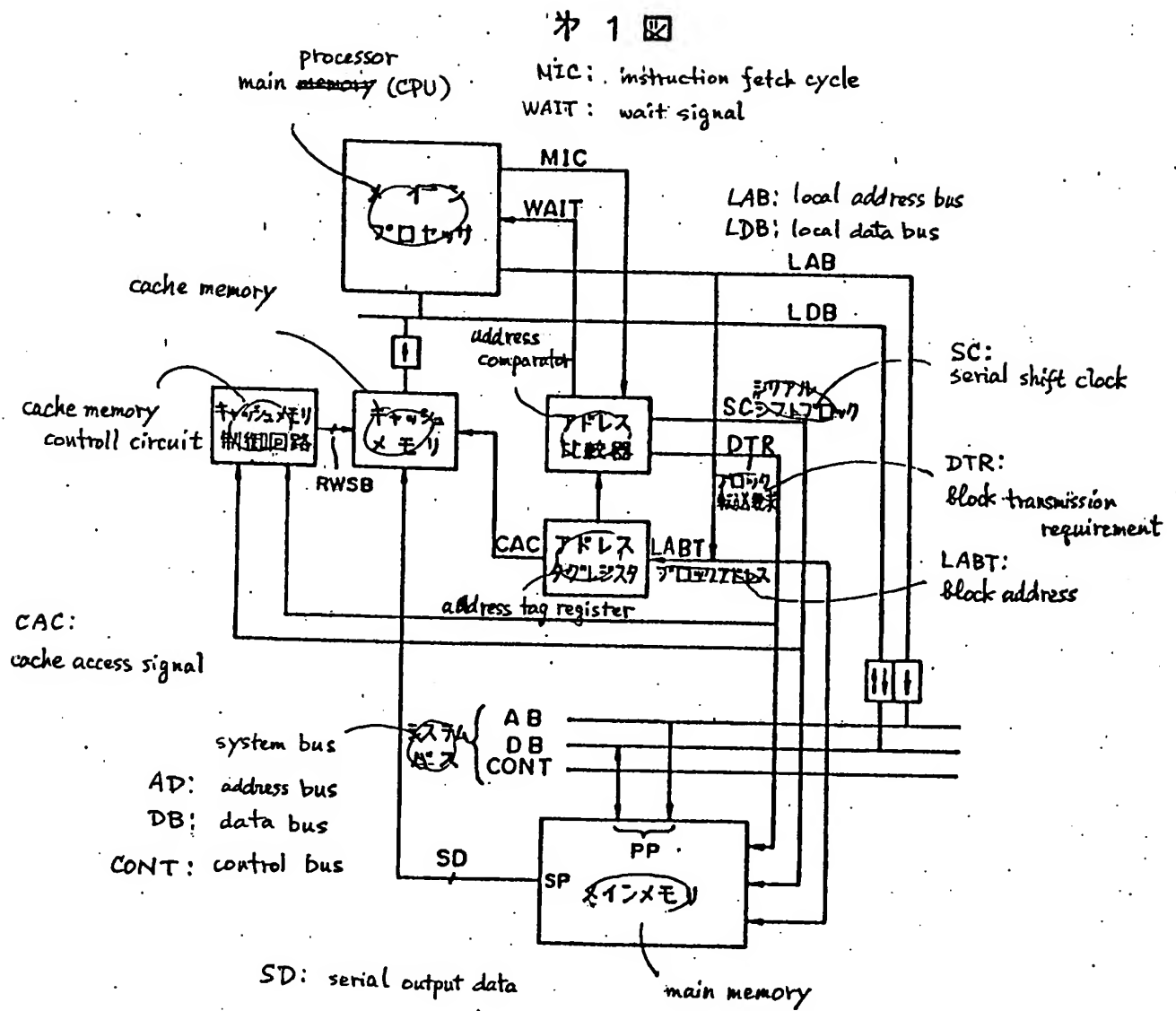


Fig. 2

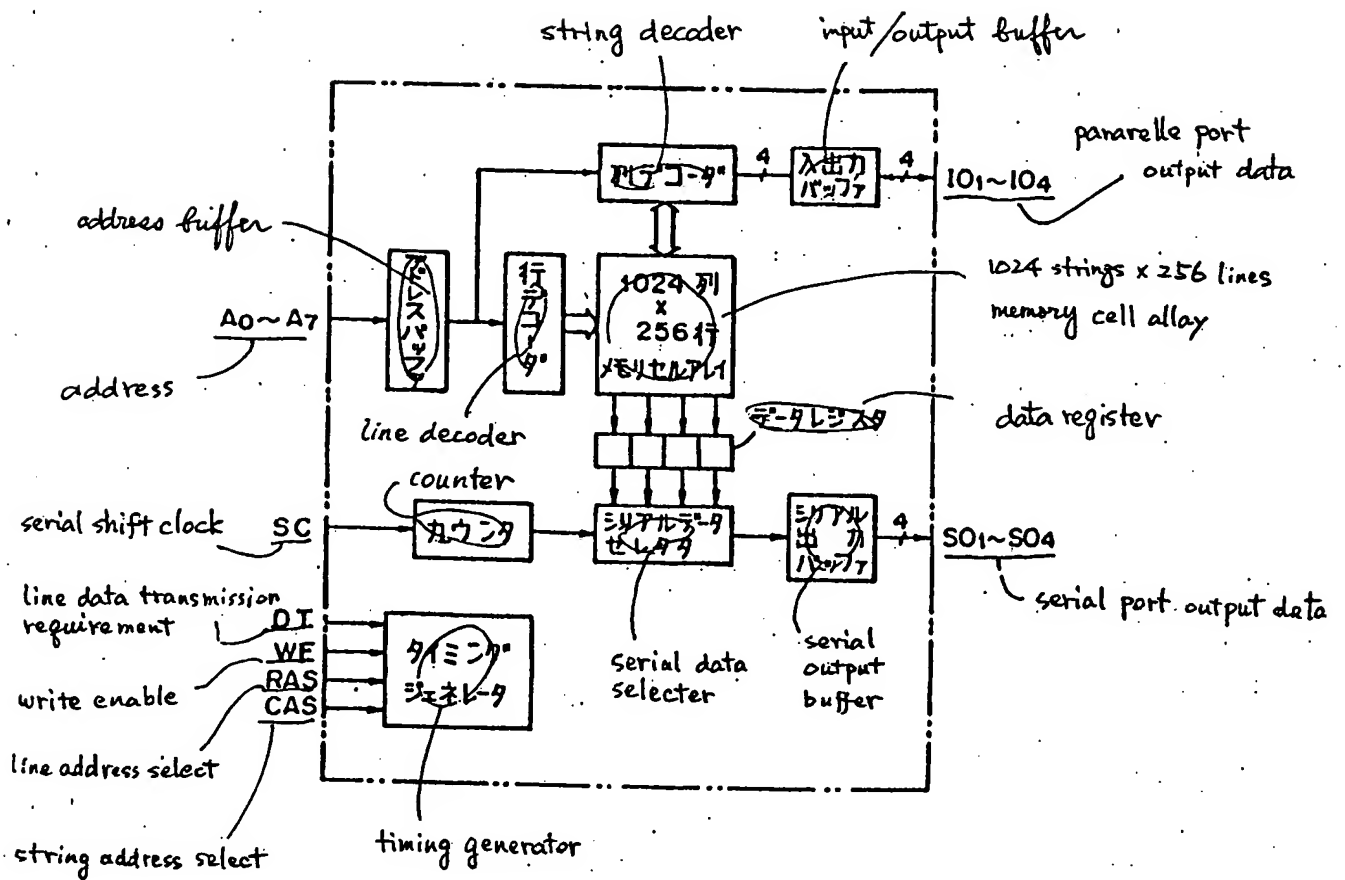
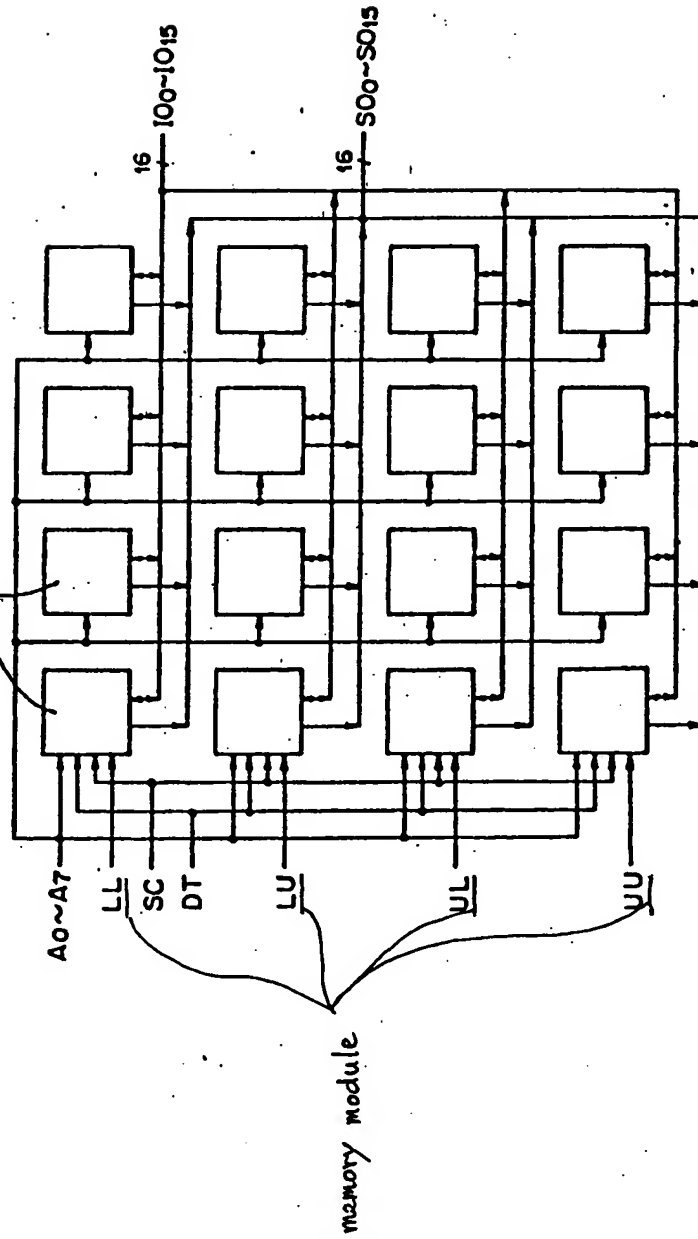


Fig. 3

— dual port RAM

RAM



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-120553

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)6月1日

G 06 F 12/08

3 1 0

U-8219-5B

Z-8219-5B

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 命令キャッシュメモリ方式

⑯ 特 願 昭60-262013

⑰ 出 願 昭60(1985)11月20日

⑱ 発 明 者 三 瀬 雅 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

命令キャッシュメモリ方式

2. 特許請求の範囲

メインメモリ素子としてパラレル入出力データポートとシリアル出力データポートとを有するデータポートメモリの複数個を用いて構成され、

そのメインメモリのシリアル出力データポートは高速キャッシュメモリの入力側に接続され、

上記メインプロセッサとメインメモリとの間に、複数の一連の命令により構成される命令ブロックの転送を制御するための命令ブロックアドレス線、ブロック転送指示線及びデータ転送用のシフトクロック線より構成される専用の信号線を有することを特徴とする命令キャッシュメモリ方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は情報処理装置に用いられ、常時はキャッシュメモリの命令を利用し、キャッシュメモリにない場合はメインメモリのデータ中の命令

域のブロックをキャッシュメモリに転送して利用するようにした命令キャッシュメモリ方式に関する。

〔従来の技術〕

従来、キャッシュメモリの実現方法として種々の方式が採用されている。本格的なキャッシュメモリシステムでは全メモリデータ域(即ち命令データ域、スタック・テーブル域)のキャッシュが可能であり、かつ、マルチ・プロセッサ、マルチバス構成にも適用可能としている。但この場合、①キャッシュメモリとメインメモリの一致を常に取り必要があり、②両者の一致がずれた場合、即ちメインメモリの換えが実行された場合、該当するブロックがキャッシュメモリ上に存在する場合はそのブロックをディスイネブルとし、③これら①、②のためにシステムバスのアドレス、データ、制御線を監視する必要がある等の制御が必要であり、これを実現する回路も多い。

このような点から、比較的小型の情報処理装

では命令キャッシュのみに限定し、前述の制御の複雑さを排除し、経済的で命令実行性能（パフォーマンス）の向上を図ったキャッシュメモリを構成する場合がある。

この発明はこの命令キャッシュに関するものであり、第4図に従来方式の一例を示す。アドレスバスA B、データバスD B、制御バスCONTよりなるシステムバス上にメインメモリ（MM）が接続されており、メインプロセッサ（CPU）はローカルアドレスバス（LAB）、ローカルデータバス（LDB）を通じ、更にバスドライバを介してシステムバスに接続される。今、メインプロセッサCPUが命令フェッチサイクル（MIC）を実行すると、CPUよりMIC信号がアドレス比較器（ADC）に出力され、アドレス比較器ADCはキャッシュメモリの各ブロックアドレスを保持しているアドレスタグレジスタ（ADTAG）とローカルアドレスバスLABとのアドレス情報を高速に比較し、該当する命令がキャッシュメモリ上に存在するか否かをチェックする。アドレス比較が一致すればアドレスタグ

レジスタADTAGはヒット信号（HIT）をアドレス比較器ADCに出力すると共に該当ブロックのキャッシュデータを読出すため、キャッシュアクセス信号（CAC）を出力する。アドレス比較器ADCはヒット状態となるとシステムバスアクセスを禁止し、キャッシュメモリより読み出した命令をメインプロセッサCPUに与える。

他方ローカルアドレスバスLABの情報とアドレスタグレジスタADTAGの情報とが不一致の場合（ノン・ヒット）は、ブロック転送制御回路（BTRC）に命令ブロック転送要求（BTB）を発行する。ブロック転送制御回路BTRCはシステムバス制御回路（BUSC）にシステムバス獲得要求（SBRQ）を出力し、システムバスを獲得するとシステムバス制御回路BUSCはシステムバス取得通知SBACKを返す。ブロック転送制御回路BTRCはこれ以後メインメモリMMよりローカルアドレスバスLABで示されるアドレスの命令ブロックをキャッシュメモリにバースト転送すると共にアドレスタグレジスタADTAGの更新を行なう。この間、ブロック転送制御回路

BTRCはシステムバスをロックし保持し続け、メインプロセッサCPUはアドレス比較器ADCより出力されるウェイト信号（WAIT）により待ち状態となり、ブロック転送後又はブロック転送途中に目的の命令がメインプロセッサCPUに与えられるとウェイトが解除される。

〔発明が解決しようとする問題点〕

上述した第4図の従来方式のキャッシュメモリシステムでは以下の問題がある。(1)ブロック転送に時間が掛かりブロックサイズを大きくするとメインプロセッサCPUの待ち時間が大きくなり効率が悪い。反対にブロックサイズを小さくするとブロック転送時のオーバーヘッドは軽減されるが、キャッシュヒット率が低下し、ブロック転送回数が増加するという相容れない問題がある。(2)ブロック転送時にシステムバス占有権を獲得する必要があり、そのための処理損失（バス・アービトレーションロス）が発生すると共に、ブロック転送制御のための回路量が増加する。(3)ブロック転送中はバスを解放しないため、この時間が長いとシス

テムバス上の高速DMA（直接メモリアクセス）デバイスの待ちが長くなり、データのオーバーラン、アンダーランの恐れがあり、これに対する対策が必要となる。

〔問題点を解決するための手段〕

この発明は①メインメモリのメモリ素子としてパラレルポートとシリアルポートを有するデュアルポートRAMを採用し、②シリアルポートをキャッシュメモリに接続し、③システムバスとは独立に、キャッシュメモリノンヒット時のブロック転送アドレス及びブロック転送指示、シフトクロックなどの制御信号を供給する構成を採ることにより、比較的大きなブロックサイズを短時間でキャッシュメモリに転送することを可能とし、キャッシュヒット率を高め、ノンヒット時のブロック転送回数を減らし、平均命令実行時間を大幅に短縮できるキャッシュメモリシステムを少ない回路量で経済的に実現できる。

〔実施例〕

次にこの発明について図面を参照して説明する

第1図はこの発明の一実施例を示し、第2図にこの発明でメインメモリ素子として使用するデュアルポート読み書き可能なメモリ(RAM)を示し、このRAMはもともととはCRT(陰極線管)の表示用のビデオRAMとして開発されたものであり、具体的には日本電気株式会社製のMPD41264Cがある。このRAMはパラレルポートIO₁~IO₄、アドレスA₀~A₇、タイミング信号RAS(行アドレス選択)、CAS(列アドレス選択)、WE(書き込みイネーブル)をもち、通常のダイナミックRAMと同様の動作をする。このRAMのセル構造は1024列×256行であり、1024列はさらに4分割され、64k×4b構成となっている。列データ転送要求信号(DT)が与えられると、アドレスA₀~A₇で指定されるROWアドレスにより特定行の1024ビットが選択され、内部のデータレジスタに一括転送される。さらに、シリアルシフトクロック(SC)を入力することにより256×4bitの列データが順次、シリアル出力バッファを介してシリアルポート出力データSO₁~SO₄として出力される。さらにボイ

れ、アドレス比較器ADCからのブロック転送要求(DTR)、シリアルシフトクロック(SC)、及びブロックアドレス(LABT)がシステムバスとは独立にメインメモリMMに直接供給されていることである。

今、メインプロセッサCPUの命令フェッチサイクルが起動され、命令フェッチサイクル(MIC)信号が出力され、ローカルアドレスバスLABに命令アドレスが出力され、アドレス比較器(ADC)にてアドレスタグレジスタ(ADTAG)の情報と比較がなされる。その比較が一致した時、即ちキャッシュヒット時にはシステムバスへのアクセスを中止し、キャッシュメモリより命令を引取る。

前記比較で一致が得られない時(キャッシュノットヒット時)はアドレス比較器ADCがブロック転送要求(DTR)をメインメモリMMに発行し、メインメモリMMはローカルアドレスバスLABで示される指定アドレスのブロックデータをシリアルポートに取出し、アドレス比較器ADCより出力されるシリアルシフトクロックSCにより命令プロ

ットコントロール機能により列データ転送要求信号DT入力時のカラムアドレスの指定により256列の任意のポイントよりシリアル出力データの取出しが可能である。

このデュアルポートメモリの大きな特徴は①DTタイミングを除きパラレルポートとシリアルポートとは組合することなく互いに独立動作が可能、②シリアルポートの転送が高速であり、40ns/ビット転送が可能である。この発明では以上の特徴を有効に活用する。

次に第3図にこのデュアルポートメモリにより構成した512kバイト(256kワード×16ビット)のメインメモリの例を示す。実際にはこの512kバイトメモリを複数個組合わせて最大4MBのメインメモリを構成する。第3図においてLL, LU, UL, UUは128kバイト単位のメモリモジュール選択信号である。

第1図に戻って説明する。第4図の従来方式に比べ回路構成上の特徴はメインメモリMMのシリアル出力データSDがキャッシュメモリに供給

ックがメインメモリMMからキャッシュメモリに高速に転送される。

ブロック転送時間をデュアルポートRAMとシングルポートRAMとで比較する。

- (1) デュアルポートRAM { (a) データトランスファサイクル 150ns
(a) シリアル転送 40ns/ワード

- (2) シングルポートRAM

- (a) 通常リードモード

200ns/ワード	RAMリードサイクル	120ns
	RAS-CAS 切替え	40ns
	システムバス遅延	40ns

- (b) ページモードリードサイクル

1回目……… 200ns (a)と同じ

2回目以後…RAMリードサイクル120ns

従って、キャッシュブロックサイズ16ワードの時

(1) …… 790ns

(2) - (a) …… 3,200ns

(2) - (b) …… 2000ns

ブロック転送時間はページモードサイクルの

高速シングルポート RAM (2) - (b) に比較しても 2.5 倍以上高速である。且つ、従来方式に比べブロックサイズを 2 ~ 3 倍に拡張してもブロック転送によるオーバーヘッドは増加しないことは明らかである。

さらに、従来方式の場合はシステムバス獲得後にブロック転送を行うためシステムバス獲得待ち時間が性能低下要因となることも自明である。

〔発明の効果〕

以上説明したようにこの発明は①メインメモリにデュアルポート RAM を採用し、②デュアルポート RAM のシリアル出力回路をキャッシュメモリのブロックデータ転送経路とし、③キャッシュブロック転送情報を直接メインメモリに入力する回路構成を採ることにより、キャッシュヒット率が高くシステムバスオーバーヘッドの少ない命令キャッシュメモリ方式を経済的に実現できる効果がある。

4. 図面の簡単な説明

第 1 図はこの発明による命令キャッシュメモリ方式の一実施例を示すブロック図、第 2 図はデュ

アルポート RAM の回路構成図、第 3 図はデュアルポート RAM により実現した 512KB メインメモリモジュールを示す図、第 4 図は従来の命令キャッシュメモリ方式を示すブロック図である。

特許出願人 日本電気株式会社
代理人 草野 卓

図 1

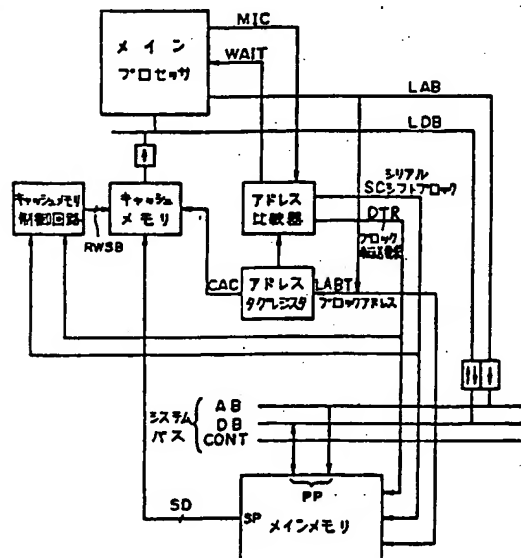


図 2

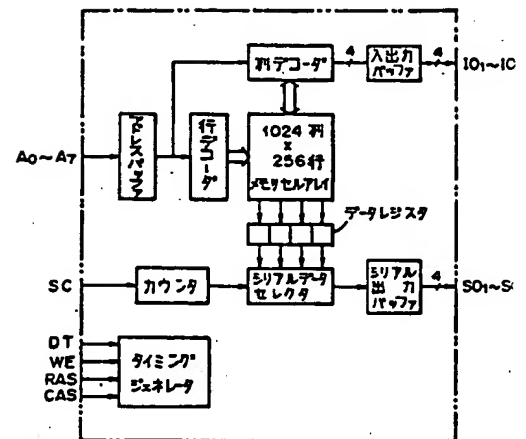


図 3

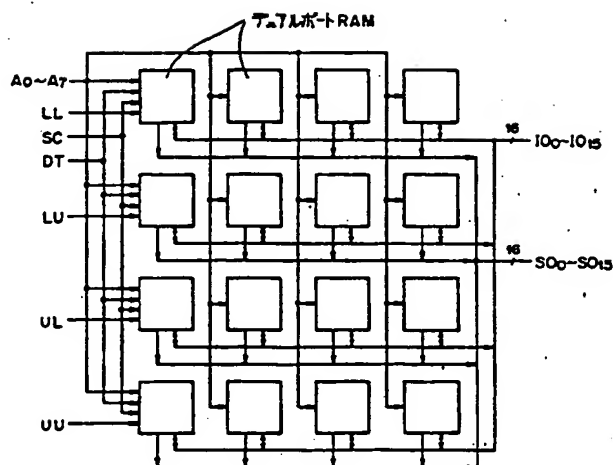


図 4

